

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月19日

出 願 番 号
Application Number:

特願2002-335742

[ST.10/C]:

[JP2002-335742]

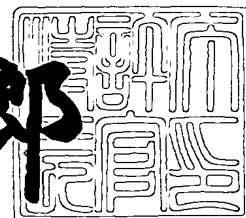
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 6月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043729

【書類名】 特許願

【整理番号】 5038340106

【提出日】 平成14年11月19日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06
H02M 3/07

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 大澤 幸一

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 山平 征二

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 110000040

 【氏名又は名称】 特許業務法人池内・佐藤アンドパートナーズ

 【代表者】 池内 寛幸

 【電話番号】 06-6135-6051

【手数料の表示】

 【予納台帳番号】 139757

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 0108331

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 昇圧回路およびそれを内蔵した不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が移動して所定電位に対する昇圧電圧を発生するチャージポンプ回路を有する昇圧回路であって、

前記チャージポンプ回路を n 段 (n は 2 以上の整数) 直列に接続して成る第 1 のチャージポンプ回路群と、

前記チャージポンプ回路を m 段 (m は 2 以上の整数) 直列に接続して成る第 2 のチャージポンプ回路群と、

段数切換制御信号に応じて、前記第 1 のチャージポンプ回路群と前記第 2 のチャージポンプ回路群とが直列に接続されて、前記第 2 のチャージポンプ回路群が第 1 の昇圧電圧を出力し、または前記第 1 のチャージポンプ回路群と前記第 2 のチャージポンプ回路群とが並列に接続されて、前記第 1 および第 2 のチャージポンプ回路群が第 2 の昇圧電圧を出力するよう、前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える段数切換回路とを備え、

前記段数切換回路は、

前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間に電流通路が接続されたスイッチ用トランジスタと、

一方の電極に前記チャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極が前記スイッチ用トランジスタのゲートに接続されたキャパシタとを含み、

前記段数切換制御信号が第 1 の電圧レベルにある場合、供給されるクロック信号により前記スイッチ用トランジスタを導通状態にし、前記段数切換制御信号が第 2 の電圧レベルにある場合、前記スイッチ用トランジスタを遮断状態にすることを特徴とする昇圧回路。

【請求項 2】 キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が移動して所定電位に対する昇圧電圧を発生する

チャージポンプ回路を有する昇圧回路であって、

前記チャージポンプ回路を n 段 (n は 2 以上の整数) 直列に接続して成る第 1 のチャージポンプ回路群と、

前記チャージポンプ回路を m 段 (m は 2 以上の整数) 直列に接続して成る第 2 のチャージポンプ回路群と、

前記第 2 のチャージポンプ回路群に直列に接続され、前記チャージポンプ回路を p 段 (p は 2 以上の整数) 直列に接続して成り、第 1 または第 2 の昇圧電圧を出力する第 3 のチャージポンプ回路群と、

第 1 の段数切換制御信号に応じて、前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える第 1 の段数切換回路と、

前記第 1 の段数切換制御信号に応じて、前記第 2 のチャージポンプ回路群に供給されるクロック信号を有効または無効にするゲート回路と、

前記第 1 の段数切換制御信号の論理反転信号である第 2 の段数切換制御信号に応じて、前記第 1 のチャージポンプ回路群の出力端子と前記第 3 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える第 2 の段数切換回路とを備え、

前記第 1 の段数切換回路は、

前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間に電流通路が接続された第 1 のスイッチ用トランジスタと

一方の電極に前記チャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極が前記第 1 のスイッチ用トランジスタのゲートに接続された第 1 のキャパシタとを含み、

前記第 1 の段数切換制御信号が第 1 の電圧レベルにある場合、供給されるクロック信号により前記第 1 のスイッチ用トランジスタを導通状態にし、前記第 1 の段数切換制御信号が第 2 の電圧レベルにある場合、前記第 1 のスイッチ用トランジスタを遮断状態にし、

前記第 2 の段数切換回路は、

前記第 1 のチャージポンプ回路群の出力端子と前記第 3 のチャージポンプ回路群の入力端子との間に電流通路が接続された第 2 のスイッチ用トランジスタと

一方の電極に前記チャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極が前記第 2 のスイッチ用トランジスタのゲートに接続された第 2 のキャパシタとを含み、

前記第 2 の段数切換制御信号が前記第 1 の電圧レベルにある場合、供給されるクロック信号により前記第 2 のスイッチ用トランジスタを導通状態にし、前記第 2 の段数切換制御信号が前記第 2 の電圧レベルにある場合、前記第 2 のスイッチ用トランジスタを遮断状態にすることを特徴とする昇圧回路。

【請求項 3】 キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が移動して所定電位に対する昇圧電圧を発生するチャージポンプ回路を有する昇圧回路であって、

前記チャージポンプ回路を n 段 (n は 2 以上の整数) 直列に接続して成る第 1 のチャージポンプ回路群と、

前記チャージポンプ回路を m 段 (m は 2 以上の整数) 直列に接続して成る第 2 のチャージポンプ回路群と、

段数切換制御信号に応じて、前記第 1 のチャージポンプ回路群と前記第 2 のチャージポンプ回路群とが直列に接続されて、前記第 2 のチャージポンプ回路群が第 1 の昇圧電圧を出力し、または前記第 1 のチャージポンプ回路群と前記第 2 のチャージポンプ回路群とが並列に接続されて、前記第 1 および第 2 のチャージポンプ回路群が第 2 の昇圧電圧を出力するよう、前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える段数切換回路とを備え、

前記段数切換回路は、

前記第 1 または第 2 の昇圧電圧が電源電圧として供給され、前記段数切換制御信号の電圧レベルをシフトするレベルシフト回路と、

前記レベルシフト回路から出力される信号に応じて、前記第 1 のチャージポンプ回路群の出力端子と前記第 2 のチャージポンプ回路群の入力端子との間を接

続状態または非接続状態に切り換えるスイッチ回路とを含むことを特徴とする昇圧回路。

【請求項 4】 前記スイッチ回路は、前記段数切換制御信号が前記第 2 の電圧レベルにある場合、前記レベルシフト回路から出力される信号により、前記第 2 のチャージポンプ回路群の入力端子の電位を前記第 1 のチャージポンプ回路群の入力端子の電位と同じにすることを特徴とする請求項 3 記載の昇圧回路。

【請求項 5】 前記段数切換回路は、前記段数切換制御信号が前記第 1 の電圧レベルにある場合、段数切換回路自体を入力されるクロック信号に同期させることで 1 段のチャージポンプ回路と同等の働きをさせることを特徴とする請求項 1 または 2 記載の昇圧回路。

【請求項 6】 前記段数切換回路は、
前記第 1 または第 2 の昇圧電圧が電源電圧として供給され、前記段数切換制御信号の電圧レベルをシフトするレベルシフト回路と、

前記段数切換制御信号が前記第 2 の電圧レベルにある場合、前記レベルシフト回路から出力される信号により、前記第 2 のチャージポンプ回路群の入力端子の電位を前記第 1 のチャージポンプ回路群の入力端子の電位と同じにするスイッチ回路とを含むことを特徴とする請求項 1 記載の昇圧回路。

【請求項 7】 前記段数切換回路は、前記段数切換制御信号に応じて、供給されるクロック信号を有効または無効にするゲート回路を含むことを特徴とする請求項 1 または 2 記載の昇圧回路。

【請求項 8】 前記昇圧回路は、
前記第 1 のチャージポンプ回路群の出力端子と前記昇圧回路の出力端子との間に接続された第 1 の逆流防止用回路と、

前記第 2 のチャージポンプ回路群の出力端子と前記昇圧回路の出力端子との間に接続された第 2 の逆流防止用回路とを備えたことを特徴とする請求項 1 または 3 記載の昇圧回路。

【請求項 9】 前記昇圧回路は、前記第 3 のチャージポンプ回路群の出力端子と前記昇圧回路の出力端子との間に接続された逆流防止用回路を備えたことを特徴とする請求項 2 記載の昇圧回路。

【請求項 1 0】 前記昇圧回路は、前記昇圧回路の出力端子に接続された平滑用キャパシタを備えたことを特徴とする請求項 8 または 9 記載の昇圧回路。

【請求項 1 1】 前記第 1 および第 2 のチャージポンプ回路群は、2 段のチャージポンプ回路を直列接続して成り、前記 2 段のチャージポンプ回路に供給されるクロック信号はそれぞれ位相が異なる 4 種類のクロック信号から成ることを特徴とする請求項 1 または 3 記載の昇圧回路。

【請求項 1 2】 前記第 1、第 2 および第 3 のチャージポンプ回路群は、2 段のチャージポンプ回路を直列接続して成り、前記 2 段のチャージポンプ回路に供給されるクロック信号はそれぞれ位相が異なる 4 種類のクロック信号から成ることを特徴とする請求項 2 記載の昇圧回路。

【請求項 1 3】 前記チャージポンプ回路は、
前記チャージポンプ回路の入力端子と出力端子との間に電流通路が接続された電荷転送用トランジスタと、

前記入力端子と前記電荷電荷転送用トランジスタのゲートに電流通路が接続された閾値相殺用トランジスタと、

一方の電極に前記電荷転送用トランジスタのゲートが接続され、他方の電極にクロック信号が供給される第 1 のカップリング用キャパシタと、

一方の電極に前記閾値相殺用トランジスタのゲートが接続され、他方の電極にクロック信号が供給される第 2 のカップリング用キャパシタとを含むことを特徴とする請求項 1 から 3 のいずれか一項記載の昇圧回路。

【請求項 1 4】 前記チャージポンプ回路を構成するトランジスタは N チャネル MOS トランジスタであり、前記昇圧回路は、昇圧された正電圧を出力することを特徴とする請求項 1 から 3 のいずれか一項記載の昇圧回路。

【請求項 1 5】 前記チャージポンプ回路を構成するトランジスタは P チャネル MOS トランジスタであり、前記昇圧回路は、昇圧された負電圧を出力することを特徴とする昇圧回路。

【請求項 1 6】 前記段数切換回路を構成するトランジスタは N チャネル MOS トランジスタであることを特徴とする請求項 1 4 記載の昇圧回路。

【請求項 1 7】 前記段数切換回路を構成するトランジスタは P チャネル MOS

Sトランジスタであることを特徴とする請求項 1 5 記載の昇圧回路。

【請求項 1 8】 請求項 1 から 3 のいずれか一項記載の昇圧回路と、
前記昇圧回路からの昇圧電圧が供給される不揮発性メモリセルアレイと、
メモリの動作モードに応じて、前記段数切換制御信号の電圧レベルを前記第 1
または第 2 の電圧レベルに切り換える段数切換制御回路とを備えたことを特徴と
する不揮発性半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に内蔵され、動作モードに応じて電圧レベ
ルが異なる正の高電圧や負の高電圧を発生する昇圧回路に関する。

【 0 0 0 2 】

【従来の技術】

フラッシュ E E P R O M などの不揮発性半導体記憶装置では、読み出し、消去
や書き込みモードに応じて電圧レベルおよび電流能力が異なる、電源電圧よりも
高い正の高電圧や、接地電位よりも低い負の高電圧をメモリセルアレイトランジ
スタに印加する必要がある。近年では、システムの小型化や、電源電圧の低電圧
化、省電力化などの要求により、不揮発性半導体記憶装置に高電圧を発生する昇
圧回路を内蔵させ、かつ昇圧回路の昇圧効率を向上させることが望まれている。

【 0 0 0 3 】

また、電圧レベルおよび電流能力が異なる正の高電圧や負の高電圧を 1 つの昇
圧回路で発生させるために、直列に接続された複数段のチャージポンプ回路を設
け、その段数を切り換えることで対応している。

【 0 0 0 4 】

図 9 は、従来の昇圧回路として、電圧レベルが異なる負の高電圧を発生する負
昇圧回路の構成例を示す回路図である。図 9 において、1 1、1 2、1 3、1 4
は、閾値相殺方式のチャージポンプ回路（P U M P 1、P U M P 2、P U M P 3
、P U M P 4）で、クロック信号 C L K 3、C L K 2 のハイレベル電源電圧 V D
D、ローレベルを接地電位 V S S（= 0 V）とすると、それぞれ、入力電圧を一

VDDだけ負に昇圧して出力する。なお、他のクロック信号CLK1、CLK4もCLK3、CLK2と同じ振幅を有する。チャージポンプ回路11の入力電圧は0Vであるので、出力電圧は $-VDD$ となり、この電圧 $-VDD$ が入力されるチャージポンプ回路12の出力電圧は $-2VDD$ となる。よって、2段のチャージポンプ回路11、12により、0Vから $-2VDD$ の負の高電圧が発生される。また、2段のチャージポンプ回路13、14により、入力電圧が $-2VDD$ だけ負に昇圧される。なお、閾値相殺方式のチャージポンプ回路11～14の詳細については後ほど説明する。

【0005】

60はチャージポンプ回路の段数切換回路である。段数切換回路60に入力される段数切換制御信号SWHONが論理ローレベルである（段数切換回路60が非活性化状態にある）場合、これを受けて、レベルシフト回路LS1が、NチャネルMOSトランジスタ T_{n1} をオフし、NチャネルMOSトランジスタ T_{n2} をオンにする。これにより、2段のチャージポンプ回路11、12と2段のチャージポンプ回路13、14とが並列に接続され、2段のチャージポンプ回路11、12の出力電圧 $-2VDD$ は、逆流防止用にダイオード接続されたPチャネルMOSトランジスタ T_{p1} を介して、また2段のチャージポンプ回路13、14の出力電圧 $-2VDD$ は、逆流防止用にダイオード接続されたPチャネルMOSトランジスタ T_{p2} を介して、負電圧VNNとして第1の負電圧VNN1（ $= -2VDD$ ）が出力される（経路①）。

【0006】

一方、段数切換制御信号SWHONが論理ハイレベル（段数切換回路60が活性化状態にある）である場合、これを受けて、レベルシフト回路LS1が、NチャネルMOSトランジスタ T_{n1} をオンし、NチャネルMOSトランジスタ T_{n2} をオフにする。これにより、2段のチャージポンプ回路11、12と2段のチャージポンプ回路13、14とが直列に接続され、2段のチャージポンプ回路11、12の出力電圧 $-2VDD$ が、電圧整流用にダイオード接続されたPチャネルMOSトランジスタ T_{p3} 、NチャネルMOSトランジスタ T_{n1} を介して、チャージポンプ回路13に供給され、2段のチャージポンプ回路13、14によ

り $-4V_{DD}$ にまで昇圧され、逆流防止用にダイオード接続された P チャンネル MOS トランジスタ T_{p2} を介して、負電圧 V_{NN} として第 2 の負電圧 V_{NN2} ($= -4V_{DD}$) が出力される (経路②)。なお、この場合、逆流防止用にダイオード接続された P チャンネル MOS トランジスタ T_{p1} は、逆バイアス状態となるため、オフ状態にある。

【 0 0 0 7 】

このようにして、段数切換回路 6 0 により、電圧レベルが異なる 2 つの負の高電圧が、同一の負昇圧回路で発生される。なお、 C_{p1} は出力の平滑用キャパシタである。

【 0 0 0 8 】

従来では、段数切換回路 6 0 において、レベルシフト回路 $LS1$ の電源電圧 V_{EE} がポンピング動作により振れることを抑制するために、電源電圧の整流用にダイオード接続された P チャンネル MOS トランジスタ T_{p3} と平滑用キャパシタ C_{p2} とを設けていた。

【 0 0 0 9 】

次に、図 9 に示す 2 段のチャージポンプ回路 1 1、1 2 の構成および動作について、図 1 0 および図 1 1 を参照して説明する。

【 0 0 1 0 】

図 1 0 は、2 段のチャージポンプ回路 1 1、1 2 の内部構成を示す回路図で、図 1 1 は、2 段のチャージポンプ回路 1 1、1 2 に供給される 4 つのクロック信号 $CLK1$ 、 $CLK2$ 、 $CLK3$ 、 $CLK4$ のタイミングチャートである。

【 0 0 1 1 】

図 1 0 において、接地電位と出力 V_{OUT} との間に、電荷転送用の P チャンネル MOS トランジスタ (以降、電荷転送用トランジスタと称する) T_{p5} 、 T_{p7} が、その電流通路が直列になるように接続される。これら電荷転送用トランジスタ T_{p5} と T_{p7} の接続ノード $N5$ 、および出力ノード $N7$ にそれぞれキャパシタ C_{p4} 、 C_{p6} の一方の電極が接続される。キャパシタ C_{p4} 、 C_{p6} の他方の電極には、それぞれ、電源電圧 V_{DD} の振幅を有するクロック信号 $CLK3$ 、 $CLK2$ が供給される。電荷転送用トランジスタ T_{p5} 、 T_{p7} の各ゲートに、

キャパシタC p 3、C p 5それぞれの一方の電極が接続され、キャパシタC p 3、C p 5の他方の電極には、それぞれ、電源電圧V D Dの振幅を有するクロック信号C L K 1、C L K 3が供給される。

【 0 0 1 2 】

また、電荷転送用トランジスタT p 5、T p 7それぞれのゲートとドレイン間には、閾値相殺用のPチャネルM O Sトランジスタ（以降、閾値相殺用トランジスタと称する）T p 4、T p 6の電流通路が接続される。これら閾値相殺用トランジスタT p 4、T p 6の各ゲートは、電荷転送用トランジスタT p 5、T p 7の各ソース（ノードN 5、N 7）に接続される。閾値相殺用トランジスタT p 4、T p 6は、それぞれ、ダイオードとして動作する電荷転送用トランジスタT p 5、T p 6の閾値電圧を相殺（補償）するために設けられている。

【 0 0 1 3 】

次に、このように構成された2段のチャージポンプ回路1 1、1 2の昇圧動作について、図1 1のタイミングチャートを参照して説明する。

【 0 0 1 4 】

まず、図1 1の時点t 1で、クロック信号C L K 4が0 VからV D Dに立ち上がる。これによって、キャパシタC p 5とのカップリングによりノードN 6の電圧レベルが上がる。また、電荷転送用トランジスタT p 7がオフして、ノードN 7はフローティング状態となる。

【 0 0 1 5 】

次に、時点t 2で、クロック信号C L K 2がV D Dから0 Vに立ち下がる。これによって、キャパシタC p 6とのカップリングによりノードN 7の電圧レベル（V 7）が下がる。また、閾値相殺用トランジスタT p 6がオンして、ノードN 5とノードN 6の電圧レベルは同じになる。

【 0 0 1 6 】

次に、時点t 3で、クロック信号C L K 3が0 VからV D Dに立ち上がる。これによって、キャパシタC p 4とのカップリングによりノードN 5の電圧レベル（V 5）が上がる。また、閾値相殺用トランジスタT p 4がオフして、ノードN 4はフローティング状態となる。

【 0 0 1 7 】

次に、時点 t_4 で、クロック信号 CLK_1 が V_{DD} から $0V$ に立ち下がる。これによって、キャパシタ C_{p3} とのカップリングによりノード N_4 の電圧レベルが下がる。また、電荷転送用トランジスタ T_{p5} がオンして、ノード N_5 から接地電位へと電流が流れ込み、ノード N_5 の電圧レベル V_5 が下がる。

【 0 0 1 8 】

次に、時点 t_5 で、クロック信号 CLK_1 が $0V$ から V_{DD} に立ち上がる。これによって、キャパシタ C_{p3} とのカップリングによりノード N_4 の電圧レベルが上がる。また、電荷転送用トランジスタ T_{p5} がオフして、ノード N_5 はフローティング状態となる。

【 0 0 1 9 】

次に、時点 t_6 で、クロック信号 CLK_3 が V_{DD} から $0V$ に立ち下がる。これによって、キャパシタ C_{p4} とのカップリングによりノード N_5 の電圧レベル V_5 が下がる。また、閾値相殺用トランジスタ T_{p4} がオンして、ノード N_4 は接地電位 ($0V$) となる。

【 0 0 2 0 】

次に、時点 t_7 で、クロック信号 CLK_2 が $0V$ から V_{DD} に立ち上がる。これによって、キャパシタ C_{p6} とのカップリングによりノード N_7 の電圧レベル V_7 が上がる ($V_5 < V_7$)。また、閾値相殺用トランジスタ T_{p6} がオフして、ノード N_6 はフローティング状態となる。

【 0 0 2 1 】

次に、時点 t_8 で、クロック信号 CLK_4 が V_{DD} から $0V$ に立ち下がる。これによって、キャパシタ C_{p5} とのカップリングによりノード N_6 の電圧レベルが下がる。また、電荷転送用トランジスタ T_{p7} がオンして、時点 t_7 における $V_5 < V_7$ なる関係から、ノード N_7 からノード N_5 へと電流が流れ込み、ノード N_7 の電圧レベル V_7 が下がる。

【 0 0 2 2 】

このようにして、最終的に、ノード N_5 は、電荷転送用トランジスタ T_{p5} を介して接地電位に電流が流れ込むことで、その電圧レベルが $-V_{DD}$ にまで下が

り、ノードN 7は、電荷転送用トランジスタT_p 7を介してノードN 5に電流が流れ込むことによって、その電圧レベルが $-2V_{DD}$ にまで下がり、出力電圧V_{OUT}として $-2V_{DD}$ の負の高電圧が発生する。

【0023】

以上が、2段のチャージポンプ回路1 1、1 2により、負の高電圧 $-2V_{DD}$ が得られる原理である。

【0024】

【特許文献1】

特開平7-111095号公報（第3頁、図7）

【0025】

【発明が解決しようとする課題】

従来では、図4に示すように、段数切換回路60において、レベルシフト回路LS1の電源電圧V_{EE}がポンピング動作により振れることを抑制するために、電源電圧V_{EE}の整流用にダイオード接続されたPチャネルMOSトランジスタT_p 3と平滑用キャパシタC_p 2とを設けていた。

【0026】

このため、2段のチャージポンプ回路1 1、1 2と2段のチャージポンプ回路1 3、1 4とが直列に接続される経路②によって第2の負電圧V_{NN} 2を発生させる場合、段数切換回路60内のダイオード接続されたPチャネルMOSトランジスタT_p 3の閾値電圧V_{th}分、出力端子における昇圧電流能力の低下が発生し、昇圧効率が低下する。この昇圧効率の低下を抑制するためには、PチャネルMOSトランジスタT_p 3のサイズを大きくして、その閾値電圧V_{th}を小さくする必要があり、これによりチップ面積が増大してしまう。

【0027】

また、平滑用キャパシタC_p 2を用いることにより、PチャネルMOSトランジスタT_p 3のオン抵抗値と平滑用キャパシタC_p 2の容量値からなる時定数により、第2の負電圧V_{NN} 2に到達するまでの時間が長くなる。

【0028】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、チップ面

積を増大することなく昇圧効率を向上させ、電圧レベルおよび電流能力が異なる所望の昇圧電圧までの到達時間を短縮した昇圧回路、およびかかる昇圧回路を内蔵した不揮発性半導体記憶装置を提供することにある。

【 0 0 2 9 】

【課題を解決するための手段】

前記の目的を達成するため、本発明に係る第 1 の昇圧回路は、キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が移動して所定電位に対する昇圧電圧を発生するチャージポンプ回路を有する昇圧回路であって、チャージポンプ回路を n 段 (n は 2 以上の整数) 直列に接続して成る第 1 のチャージポンプ回路群 (PUMP 1、PUMP 2) と、チャージポンプ回路を m 段 (m は 2 以上の整数) 直列に接続して成る第 2 のチャージポンプ回路群 (PUMP 3、PUMP 4) と、段数切換制御信号 (SWHON) に応じて、第 1 のチャージポンプ回路群と第 2 のチャージポンプ回路群とが直列に接続されて、第 2 のチャージポンプ回路群が第 1 の昇圧電圧を出力し、または第 1 のチャージポンプ回路群と第 2 のチャージポンプ回路群とが並列に接続されて、第 1 および第 2 のチャージポンプ回路群が第 2 の昇圧電圧を出力するよう、第 1 のチャージポンプ回路群の出力端子と第 2 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える段数切換回路 (SW回路) とを備え、段数切換回路は、第 1 のチャージポンプ回路群の出力端子と第 2 のチャージポンプ回路群の入力端子との間に電流通路が接続されたスイッチ用トランジスタと、一方の電極にチャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極がスイッチ用トランジスタのゲートに接続されたキャパシタとを含み、段数切換制御信号が第 1 の電圧レベル (電源電圧 VDD) にある場合、供給されるクロック信号によりスイッチ用トランジスタを導通状態にし、段数切換制御信号が第 2 の電圧レベル (接地電位 0 V) にある場合、スイッチ用トランジスタを遮断状態にすることを特徴とする。

【 0 0 3 0 】

前記の目的を達成するため、本発明に係る第 2 の昇圧回路は、キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が

移動して所定電位に対する昇圧電圧を発生するチャージポンプ回路を有する昇圧回路であって、チャージポンプ回路を n 段 (n は 2 以上の整数) 直列に接続して成る第 1 のチャージポンプ回路群 (PUMP 1、PUMP 2) と、チャージポンプ回路を m 段 (m は 2 以上の整数) 直列に接続して成る第 2 のチャージポンプ回路群 (PUMP 3、PUMP 4) と、第 2 のチャージポンプ回路群に直列に接続され、チャージポンプ回路を p 段 (p は 2 以上の整数) 直列に接続して成り、第 1 または第 2 の昇圧電圧を出力する第 3 のチャージポンプ回路群 (PUMP 5、PUMP 6) と、第 1 の段数切換制御信号 (SWHON) に応じて、第 1 のチャージポンプ回路群の出力端子と第 2 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える第 1 の段数切換回路と、第 1 の段数切換制御信号に応じて、第 2 のチャージポンプ回路群に供給されるクロック信号を有効または無効にするゲート回路 (AND 回路) と、第 1 の段数切換制御信号の論理反転信号である第 2 の段数切換制御信号 (\neg SWHON) に応じて、第 1 のチャージポンプ回路群の出力端子と第 3 のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える第 2 の段数切換回路とを備え、第 1 の段数切換回路は、第 1 のチャージポンプ回路群の出力端子と第 2 のチャージポンプ回路群の入力端子との間に電流通路が接続された第 1 のスイッチ用トランジスタと、一方の電極にチャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極が第 1 のスイッチ用トランジスタのゲートに接続された第 1 のキャパシタとを含み、第 1 の段数切換制御信号が第 1 の電圧レベル (電源電圧 VDD) にある場合、供給されるクロック信号により第 1 のスイッチ用トランジスタを導通状態にし、第 1 の段数切換制御信号が第 2 の電圧レベル (接地電位 0 V) にある場合、第 1 のスイッチ用トランジスタを遮断状態にし、第 2 の段数切換回路は、第 1 のチャージポンプ回路群の出力端子と第 3 のチャージポンプ回路群の入力端子との間に電流通路が接続された第 2 のスイッチ用トランジスタと、一方の電極にチャージポンプ回路に入力されるクロック信号と同期したクロック信号が供給され、他方の電極が第 2 のスイッチ用トランジスタのゲートに接続された第 2 のキャパシタとを含み、第 2 の段数切換制御信号が第 1 の電圧レベルにある場合、供給されるクロック信号により第 2 のスイッチ用トラ

ンジスタを導通状態にし、第2の段数切換制御信号が第2の電圧レベルにある場合、第2のスイッチ用トランジスタを遮断状態にすることを特徴とする。

【0031】

上記第1および第2の昇圧回路の構成によれば、段数切換回路に、チャージポンプ回路用の4相クロックを用いることで、トランジスタのサイズもチャージポンプ回路のトランジスタと同等のサイズまで縮小することができるため、トランジスタの個数は増大するがトータルの面積は同等または縮小される。さらに、チャージポンプ回路用の4相クロックに同期してスイッチ用トランジスタを導通状態および遮断状態にするので、逆流を防止して、前段のチャージポンプ回路の電位が絶対的に高い電位のみを次段のチャージポンプ回路に伝達することができ、かつ、前段のチャージポンプ回路の電荷を次段のチャージポンプ回路に効率よく伝達することができる。

【0032】

前記の目的を達成するため、本発明に係る第3の昇圧回路は、キャパシタを介して入力されるクロック信号に同期して電荷転送用トランジスタを介して電荷が移動して所定電位に対する昇圧電圧を発生するチャージポンプ回路を有する昇圧回路であって、チャージポンプ回路をn段（nは2以上の整数）直列に接続して成る第1のチャージポンプ回路群（PUMP1、PUMP2）と、チャージポンプ回路をm段（mは2以上の整数）直列に接続して成る第2のチャージポンプ回路群（PUMP3、PUMP4）と、段数切換制御信号（SWHON）に応じて、第1のチャージポンプ回路群と第2のチャージポンプ回路群とが直列に接続されて、第2のチャージポンプ回路群が第1の昇圧電圧を出力し、または第1のチャージポンプ回路群と第2のチャージポンプ回路群とが並列に接続されて、第1および第2のチャージポンプ回路群が第2の昇圧電圧を出力するよう、第1のチャージポンプ回路群の出力端子と第2のチャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換える段数切換回路（SW回路）とを備え、段数切換回路は、第1または第2の昇圧電圧が電源電圧として供給され、段数切換制御信号の電圧レベルをシフトするレベルシフト回路と、レベルシフト回路から出力される信号に応じて、第1のチャージポンプ回路群の出力端子と第2のチャ

ャージポンプ回路群の入力端子との間を接続状態または非接続状態に切り換えるスイッチ回路とを含むことを特徴とする。

【 0 0 3 3 】

この場合、スイッチ回路は、段数切換制御信号が第 2 の電圧レベルにある場合、レベルシフト回路から出力される信号により、第 2 のチャージポンプ回路群の入力端子の電位を第 1 のチャージポンプ回路群の入力端子の電位と同じにすることを特徴とする。

【 0 0 3 4 】

上記第 3 の昇圧回路の構成によれば、レベルシフト回路の電源電圧として、段数切換回路の入力端子および出力端子の電位よりも絶対値的に高い昇圧回路の出力端子の昇圧電圧を利用することにより、前段のチャージポンプ回路のポンピングによる電位の振れを防ぐためにダイオード接続されたトランジスタや、電位を安定させるために接続された平滑用キャパシタを設ける必要がなく、チップ面積を縮小でき、また簡素な回路構成で昇圧電圧の低下を抑えることができる。

【 0 0 3 5 】

第 1 および第 2 の昇圧回路において、段数切換回路は、段数切換制御信号が第 1 の電圧レベルにある場合、段数切換回路自体を入力されるクロック信号に同期させることで 1 段のチャージポンプ回路と同等の働きをさせることが好ましい。

【 0 0 3 6 】

この構成によれば、段数切換回路が活性化状態にある場合は、段数切換回路自体が 1 段のチャージポンプ回路として機能するので、従来の回路構成に比べて、チャージポンプ回路の個数をスイッチ用トランジスタの数だけ削減することができ、チップ面積を縮小できる。

【 0 0 3 7 】

第 1 の昇圧回路において、段数切換回路は、第 1 または第 2 の昇圧電圧が電源電圧として供給され、段数切換制御信号の電圧レベルをシフトするレベルシフト回路と、段数切換制御信号が第 2 の電圧レベル（接地電位 0 V）にある場合、レベルシフト回路から出力される信号により、第 2 のチャージポンプ回路群の入力端子の電位を第 1 のチャージポンプ回路群の入力端子の電位と同じにするスイッ

チ回路とを含むことが好ましい。

【 0 0 3 8 】

また、第 1 および第 2 の昇圧回路において、段数切換回路は、段数切換制御信号に応じて、供給されるクロック信号を有効または無効にするゲート回路を含むことが好ましい。

【 0 0 3 9 】

また、第 1 および第 3 の昇圧回路は、第 1 のチャージポンプ回路群の出力端子と昇圧回路の出力端子との間に接続された第 1 の逆流防止用トランジスタと、第 2 のチャージポンプ回路群の出力端子と昇圧回路の出力端子との間に接続された第 2 の逆流防止用トランジスタとを備えることが好ましい。

【 0 0 4 0 】

また、第 2 の昇圧回路は、第 3 のチャージポンプ回路群の出力端子と昇圧回路の出力端子との間に接続された逆流防止用トランジスタを備えることが好ましい。

【 0 0 4 1 】

また、第 1 から第 3 の昇圧回路は、昇圧回路の出力端子に接続された平滑用キャパシタを備えることが好ましい。

【 0 0 4 2 】

また、第 1 および第 3 の昇圧回路において、第 1 および第 2 のチャージポンプ回路群は、2 段のチャージポンプ回路を直列接続して成り、2 段のチャージポンプ回路に供給されるクロック信号はそれぞれ位相が異なる 4 種類のクロック信号から成る。

【 0 0 4 3 】

また、第 2 の昇圧回路において、第 1、第 2 および第 3 のチャージポンプ回路群は、2 段のチャージポンプ回路を直列接続して成り、2 段のチャージポンプ回路に供給されるクロック信号はそれぞれ位相が異なる 4 種類のクロック信号から成る。

【 0 0 4 4 】

また、第 1 から第 3 の昇圧回路において、チャージポンプ回路は、チャージポ

ンプ回路の入力端子と出力端子との間に電流通路が接続された電荷転送用トランジスタと、入力端子と電荷電荷転送用トランジスタのゲートに電流通路が接続された閾値相殺用トランジスタと、一方の電極に電荷転送用トランジスタのゲートが接続され、他方の電極にクロック信号が供給される第1のカップリング用キャパシタと、一方の電極に閾値相殺用トランジスタのゲートが接続され、他方の電極にクロック信号が供給される第2のカップリング用キャパシタとを含む。

【 0 0 4 5 】

また、第1から第3の昇圧回路において、チャージポンプ回路および段数切換回路を構成するトランジスタはNチャネルMOSトランジスタであり、昇圧回路は、昇圧された正電圧を出力する。

【 0 0 4 6 】

また、第1から第3の昇圧回路において、チャージポンプ回路および段数切換回路を構成するトランジスタはPチャネルMOSトランジスタであり、昇圧回路は、昇圧された負電圧を出力する。

【 0 0 4 7 】

前記の目的を達成するため、本発明に係る不揮発性半導体記憶装置は、第1から第3の昇圧回路のいずれかと、昇圧回路からの昇圧電圧が供給される不揮発性メモリセルアレイと、メモリの動作モードに応じて、段数切換制御信号の電圧レベルを第1または第2の電圧レベルに切り換える段数切換制御回路とを備えたことを特徴とする。

【 0 0 4 8 】

【発明の実施の形態】

以下、本発明の好適な実施形態について、図面を参照して説明する。

【 0 0 4 9 】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る昇圧回路として、電圧レベルが異なる負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図である。なお、図1において、図9に示す従来例と同じ構成および機能を有する部分については、同一の符号を付して説明を省略する。

【 0 0 5 0 】

本実施形態が従来例と異なるのは、段数切換回路（SW回路）20の構成にある。以下では主に、段数切換回路20の構成および動作について説明する。

【 0 0 5 1 】

図1において、段数切換回路20は、段数切換制御信号SWHONが論理ローレベルである場合に非活性化されて、負昇圧回路は、2段のチャージポンプ回路11、12と2段のチャージポンプ回路13、14とが並列に接続された構成となる。一方、段数切換回路20は、段数切換制御信号SWHONが論理ハイレベルである場合に活性化されて、2段のチャージポンプ回路11、12と2段のチャージポンプ回路13、14とが直列に接続された構成となる。これは、従来例と同じである。

【 0 0 5 2 】

しかし、本実施形態の段数切換回路20が、従来例と異なるのは、クロック信号CLK1、CLK3、および出力電圧VNNが供給されている点にある。

【 0 0 5 3 】

図2は、図1に示す段数切換回路20の一つの内部構成例を、段数切換回路20aとして示す回路図である。図2において、Tp11～Tp16はPチャネルMOSトランジスタ、Cp9、Cp10はそれぞれクロックCLK3、CLK1によりポンピングされるキャパシタ、LS2は、段数切換制御信号SWHONの電圧レベルを正の電源電圧VDDから負の電源電圧VNNへとシフトするレベルシフト回路、AND5、AND6は、段数切換回路20aに入力されるクロック信号CLK1、CLK3を有効または無効にするアンド回路、INV2は、段数切換制御信号SWHONによりPチャネルMOSトランジスタTp12～Tp15の基板電圧を切り換えるインバータ回路である。

【 0 0 5 4 】

次に、このように構成された段数切換回路20aの動作について説明する。

【 0 0 5 5 】

まず、段数切換回路20aが活性化状態にある場合（SWHONが論理ハイレベル（VDD）である場合）、PチャネルMOSトランジスタTp14、Tp15

のゲートには電源電圧VDDが印加されるので、PチャネルMOSトランジスタTp14、Tp15はオフ状態にある。また、アンド回路AND5、AND6により入力されるクロック信号CLK1とCLK3は有効になる。また、PチャネルMOSトランジスタTp12～Tp15の基板には0Vが印加される。

【0056】

PチャネルMOSトランジスタTp11のゲートに、図11に示すクロック信号CLK1を印加して、PチャネルMOSトランジスタTp11を、入力端子SWINに接続された前段のチャージポンプ回路12（図1）の出力電圧よりも低い電圧でオン、それよりも高い電圧でオフさせる。これにより、入力端子SWINに接続された前段のチャージポンプ回路12により昇圧された電圧が、PチャネルMOSトランジスタTp11を介して、出力端子SWOUTに接続された次段のチャージポンプ回路13に昇圧能力を低下させることなく伝達される。

【0057】

一方、段数切換回路20aが非活性化状態にある場合（SWHONが論理ローレベル（0V）である場合）、PチャネルMOSトランジスタTp14、Tp15のゲートには接地電位（0V）が印加されるので、PチャネルMOSトランジスタTp14、Tp15はオン状態にある。また、アンド回路AND5、AND6により入力されるクロック信号CLK1とCLK3は無効になる。また、PチャネルMOSトランジスタTp12～Tp15の基板には電源電圧VDDが印加される。

【0058】

PチャネルMOSトランジスタTp12のゲートには、PチャネルMOSトランジスタTp14を介して電源電圧VDDが印加され、またPチャネルMOSトランジスタTp11、Tp13のゲートには、PチャネルMOSトランジスタTp15を介して電源電圧VDDが印加される。これにより、PチャネルMOSトランジスタTp11、Tp12、Tp13はオフになり、入力端子SWINに接続された前段のチャージポンプ回路12により昇圧された電圧が、PチャネルMOSトランジスタTp11を介して、出力端子SWOUTに接続された次段のチャージポンプ回路13の入力端子に伝達されるのを防いでいる。

【 0 0 5 9 】

さらに、PチャネルMOSトランジスタTp16のゲートには、レベルシフト回路LS2から負の昇圧電圧VNNが印加される。このため、PチャネルMOSトランジスタTp16はオンして、出力端子SWOUTには接地電位（0V）が出力され、次段のチャージポンプ回路13には接地電位（0V）が供給される。

【 0 0 6 0 】

図3は、図1に示す段数切換回路20の他の内部構成例を、段数切換回路20bとして示す回路図である。図3において、Tp17～20はPチャネルMOSトランジスタ、Cp11、Cp12はそれぞれクロックCLK1、CLK3によりポンピングされるキャパシタ、LS3は、段数切換制御信号SWHONの電圧レベルを正の電源電圧VDDから負の電源電圧VNNへとシフトするレベルシフト回路、AND7、AND8は、段数切換回路20bに入力されるクロック信号CLK1、CLK3を有効または無効にするアンド回路である。ここで、PチャネルMOSトランジスタ17～20の基板は接地電位（0V）にある。

【 0 0 6 1 】

次に、このように構成された段数切換回路20bの動作について説明する。

【 0 0 6 2 】

まず、段数切換回路20bが活性化状態にある場合（SWHONが論理ハイレベルである場合）、PチャネルMOSトランジスタTp19、Tp20のゲートには、レベルシフト回路LS3から電源電圧VDDが印加される。このため、PチャネルMOSトランジスタTp19、Tp20はオフ状態となる。また、アンド回路AND7、AND8により、入力されるクロック信号CLK1、CLK3は有効になる。

【 0 0 6 3 】

以上の状態で、段数切換回路20bは、図10に示す従来の閾値相殺方式のチャージポンプ回路の1段分と同じ構成になり同様に機能する。これにより、入力端子SWINに接続された前段のチャージポンプ回路12により昇圧された電圧がさらに1段分昇圧されて、出力端子SWOUTに接続された次段のチャージポンプ回路13に昇圧能力を低下させることなく伝達される。

【 0 0 6 4 】

一方、段数切換回路 2 0 b が非活性化状態にある場合（SWHON が論理ローレベルである場合）、P チャネル MOS トランジスタ T_{p19} 、 T_{p20} のゲートには、レベルシフト回路 LS 3 から負の昇圧電圧 V_{NN} が印加される。このため、P チャネル MOS トランジスタ T_{p19} 、 T_{p20} はオン状態となる。また、アンド回路 AND 7、AND 8 により、入力されるクロック信号 CLK 1、CLK 3 は無効になる。

【 0 0 6 5 】

P チャネル MOS トランジスタ T_{p17} のゲートには、P チャネル MOS トランジスタ T_{p20} を介して接地電位（0 V）が印加され、また P チャネル MOS トランジスタ T_{p18} のゲートには、P チャネル MOS トランジスタ T_{p19} を介して接地電位（0 V）が印加される。これにより、P チャネル MOS トランジスタ T_{p17} 、 T_{p18} はオフになり、入力端子 SWIN に接続された前段のチャージポンプ回路 1 2 により昇圧された電圧が、P チャネル MOS トランジスタ T_{p17} を介して、出力端子 SWOUT に接続された次段のチャージポンプ回路 1 3 の入力端子に伝達されるのを防いでいる。

【 0 0 6 6 】

また、ノード N 1 7 は P チャネル MOS トランジスタ T_{p19} を介して接地電位（0 V）となる。このため、出力端子 SWOUT には接地電位（0 V）が出力され、次段のチャージポンプ回路 1 3 には接地電位（0 V）が供給される。

【 0 0 6 7 】

図 4 は、図 2 に示す本実施形態の段数切換回路 2 0 a を用いた場合と、図 9 に示す従来の段数切換回路 6 0 を用いた場合における、電源電圧 V_{DD} に対する負昇圧回路（4 段直列構成）の出力電圧 V_{NN} をプロットしたグラフである。この時のチャージポンプ回路の実行効率は 9 0 % としている（4 段の場合、 $-0.9 V_{DD} \times 4$ が負昇圧回路の出力電圧 V_{NN} となる）。なお、図 4 において、実線が本実施形態における電源電圧 V_{DD} に対する出力電圧 V_{NN} の変化を、破線が従来例における電源電圧 V_{DD} に対する出力電圧 V_{NN} の変化を示す。図 4 に示すように、本実施形態と従来例とを比較した場合、本実施形態の方が、出力電圧

VNNが高くなっており、昇圧効率を向上させることができる。

【0068】

(第2の実施形態)

図5は、本発明の第2の実施形態に係る昇圧回路として、電圧レベルが異なる負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図である。本実施形態では、チャージポンプ回路を4段直列にする構成と、6段直列にする構成とを切り換える場合について説明する。

【0069】

図5において、2段のチャージポンプ回路31、32と、2段のチャージポンプ回路33、34と、2段のチャージポンプ回路35、36は、それぞれ、図10に示す2段のチャージポンプ回路11、12と同じ構成である。

【0070】

AND1～AND4は、それぞれ、2段のチャージポンプ回路33、34に入力されるクロック信号CLK1～CLK4を有効または無効にするアンド回路、Tp21は逆流防止用にダイオード接続されたPチャネルMOSトランジスタ、Cp13は出力平滑用キャパシタである。

【0071】

20-1、20-2はチャージポンプ回路の段数を切り換えるための段数切換回路であり、図2または図3に示す構成をとる。

【0072】

次に、以上のように構成された負昇圧回路の動作について説明する。

【0073】

まず、段数切換回路20-1が活性化状態にあり（SWHONが論理ハイレベルであり）、かつ、段数切換回路20-2が非活性化状態にある（／SWHONが論理ローレベルである）場合、6段のチャージポンプ回路31～36が直列に接続された構成となる。

【0074】

一方、段数切換回路20-1が非活性化状態にあり（SWHONが論理ハイレベルであり）、かつ、段数切換回路20-2が活性化状態にある（／SWHON

が論理ハイレベルである) 場合は、2 段のチャージポンプ回路 3 3、3 4 に入力されるクロック信号 CLK 1 ~ CLK 4 はそれぞれアンド回路 AND 1 ~ AND 4 により無効にされ、2 段のチャージポンプ回路 3 3、3 4 の昇圧動作が停止され、4 段のチャージポンプ回路 3 1、3 2、3 5、3 6 が直列に接続された構成となる。

【0 0 7 5】

(第 3 の実施形態)

図 6 は、本発明の第 3 の実施形態に係る昇圧回路として、電圧レベルが異なる負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図である。なお、図 6 において、図 9 に示す従来例と同じ構成および機能を有する部分については、同一の符号を付して説明を省略する。

【0 0 7 6】

本実施形態が従来例と異なるのは、段数切換回路 (SW 回路) 8 0 の構成にある。以下では主に、段数切換回路 8 0 の構成および動作について説明する。

【0 0 7 7】

図 6 において、段数切換回路 8 0 は、P チャネル MOS トランジスタ Tp 2 2、Tp 2 3 と、負のレベルシフト回路 LS 4 とで構成される。ここで、レベルシフト回路 LS 4 には、電源電圧として負昇圧回路の出力電圧 VNN が供給される。

【0 0 7 8】

次に、このように構成された段数切換回路 8 0 の動作について説明する。

【0 0 7 9】

まず、段数切換回路 8 0 が活性化状態にある (SWHON が論理ハイレベルである) 場合、P チャネル MOS トランジスタ Tp 2 2 のゲートには、負のレベルシフト回路 LS 4 の反転出力電圧である、負昇圧回路の出力電圧 VNN が印加される。P チャネル MOS トランジスタ Tp 2 2 のソース電圧とドレイン電圧はゲート電圧よりも閾値以上高いので、P チャネル MOS トランジスタ Tp 2 2 はオン状態になる。一方、P チャネル MOS トランジスタ Tp 2 3 のゲートには、負のレベルシフト回路 LS 4 の正転出力電圧である電源電圧 VDD が印加される。

PチャネルMOSトランジスタTp23のソース電圧とドレイン電圧はゲート電圧よりも閾値以上低いので、PチャネルMOSトランジスタTp23はオフ状態になる。この結果、段数切換回路80の前段のチャージポンプ回路12により昇圧された電圧を低下させることなく、段数切換回路80を介して、次段のチャージポンプ回路13に供給できる。

【0080】

一方、段数切換回路80が非活性化状態にある（SWHONが論理ローレベルである）場合は、PチャネルトランジスタTp22のゲートには、負のレベルシフト回路LS4の反転出力電圧である電源電圧VDDが印加されるので、PチャネルトランジスタTp22はオフ状態となる。これによって、段数切換回路80の前段のチャージポンプ回路12により昇圧された電圧が、段数切換回路80を介して、次段のチャージポンプ回路13に供給されるのを防いでいる。

【0081】

さらに、PチャネルMOSトランジスタTp23のゲートには、負のレベルシフト回路LS4の正転出力電圧である、負昇圧回路の出力電圧VNNが印加されるので、PチャネルMOSトランジスタTp23はオン状態となる。これによって、次段のチャージポンプ回路13には接地電位（0V）が供給される。

【0082】

なお、上記第1から第3の実施形態では、負昇圧回路について例示および説明したが、本発明は正昇圧回路にも適用可能である。この場合、負昇圧回路を構成する全てのPチャネルMOSトランジスタをNチャネルMOSトランジスタに置き換え、基板の制御を逆流しないように接続し直し、負のレベルシフト回路を正のレベルシフト回路に置き換え、かつ、クロック信号CLK1～CLK4を図7のようなタイミングで入力することで、段数切換回路を有する正昇圧回路が構成できる。

【0083】

（第4の実施形態）

図8は、本発明の第4の実施形態に係る不揮発性半導体記憶装置の構成例を示すブロック図である。本実施形態の不揮発性半導体記憶装置は、第1から第3の

実施形態のいずれか、またはそれらの組合せによる昇圧回路を内蔵する。

【 0 0 8 4 】

図 8 において、9 0 は発振回路、9 1 は段数切換回路を有する昇圧回路、9 2 は段数切換制御回路、9 3 はメモリである。

【 0 0 8 5 】

次に、このように構成された不揮発性半導体記憶装置の動作について説明する。

【 0 0 8 6 】

まず、段数切換制御回路 9 2 からの段数切換制御信号 S W H O N (/ S W H O N) に応じて、段数切換回路を有する昇圧回路 9 1 が、発振回路 9 0 で発生されるクロック信号 C L K 1 ~ C L K 4 に同期して動作し、昇圧電圧 V N N が生成されてメモリ 9 3 に供給される。

【 0 0 8 7 】

メモリ 9 3 に供給される昇圧電圧 V N N は段数切換制御回路 9 2 により可変され、例えば、メモリ読み出し時のように昇圧電圧は低いが大きな電流能力を必要とする場合と、メモリ書き込み時のように昇圧電圧は高いが小さな電流能力しか必要としない場合とで、メモリ 9 3 に供給する昇圧電圧を切り換えることが可能である。このように用途に応じて、1 つの昇圧回路で多種類の昇圧電圧を効率よく生成でき、それをメモリ 9 3 に供給することが出来る。

【 0 0 8 8 】

【発明の効果】

以上説明したように、本発明によれば、チップ面積を増大することなく昇圧効率を向上させ、電圧レベルおよび電流能力が異なる所望の昇圧電圧までの到達時間を短縮した昇圧回路、およびかかる昇圧回路を内蔵した不揮発性半導体記憶装置を実現することが可能になる、という格別な効果を奏する。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態に係る昇圧回路として、負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図

【図 2】 図 1 に示す段数切換回路 2 0 の一つの内部構成例を、段数切換回路

2 0 a として示す回路図

【図 3】 図 1 に示す段数切換回路 2 0 の他の内部構成例を、段数切換回路 2 0 b として示す回路図

【図 4】 第 1 の実施形態の段数切換回路を用いた場合と、従来の段数切換回路を用いた場合における、電源電圧 V_{DD} に対する負昇圧回路（4 段直列構成）の出力電圧 V_{NN} をプロットしたグラフ

【図 5】 本発明の第 2 の実施形態に係る昇圧回路として、負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図

【図 6】 本発明の第 3 の実施形態に係る昇圧回路として、負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図

【図 7】 本発明の各実施形態による負昇圧回路を、正の高電圧を発生する正昇圧回路として動作させるためのクロック信号 $CLK1 \sim CLK4$ のタイミングチャート

【図 8】 本発明の第 4 の実施形態に係る不揮発性半導体記憶装置の構成例を示すブロック図

【図 9】 従来の昇圧回路として、負の高電圧を発生する負昇圧回路の構成例を示す回路ブロック図

【図 1 0】 従来および本発明の各実施形態における閾値相殺方式の 2 段チャージポンプ回路の内部構成を示す回路図

【図 1 1】 図 1 0 に示す 2 段チャージポンプ回路に供給されるクロック信号 $CLK1 \sim CLK4$ のタイミングチャート

【符号の説明】

1 1 ～ 1 4、3 1 ～ 3 6 閾値相殺方式のチャージポンプ回路

2 0、2 0 a、2 0 b、2 0 - 1、2 0 - 2、8 0 段数切換回路

9 1 発振回路

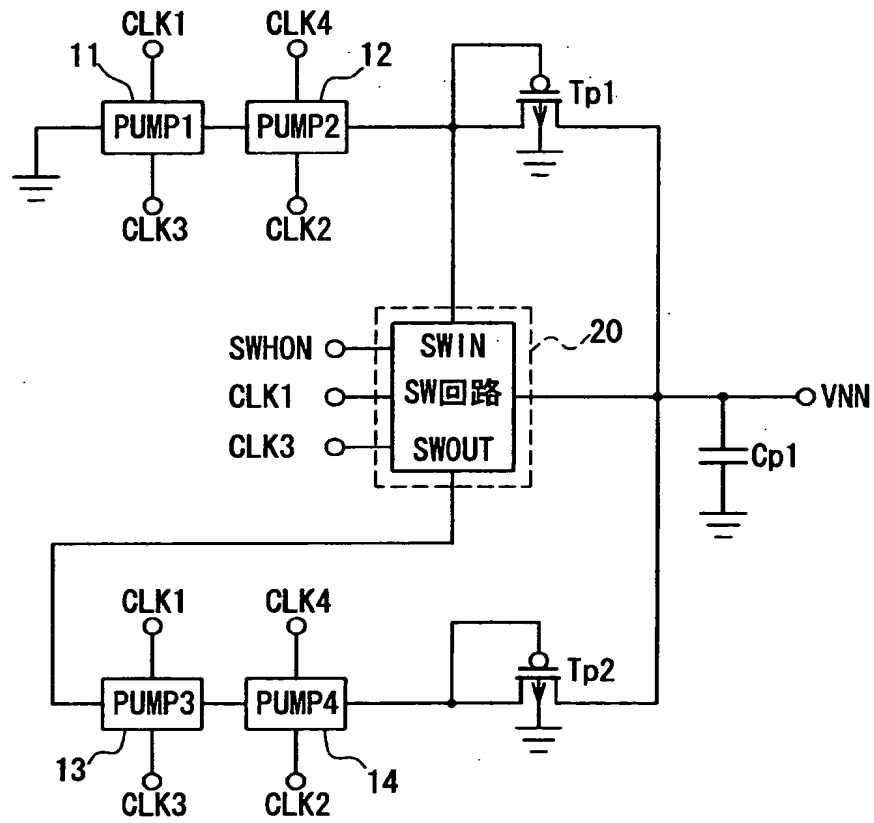
9 2 昇圧回路

9 3 段数切換制御回路

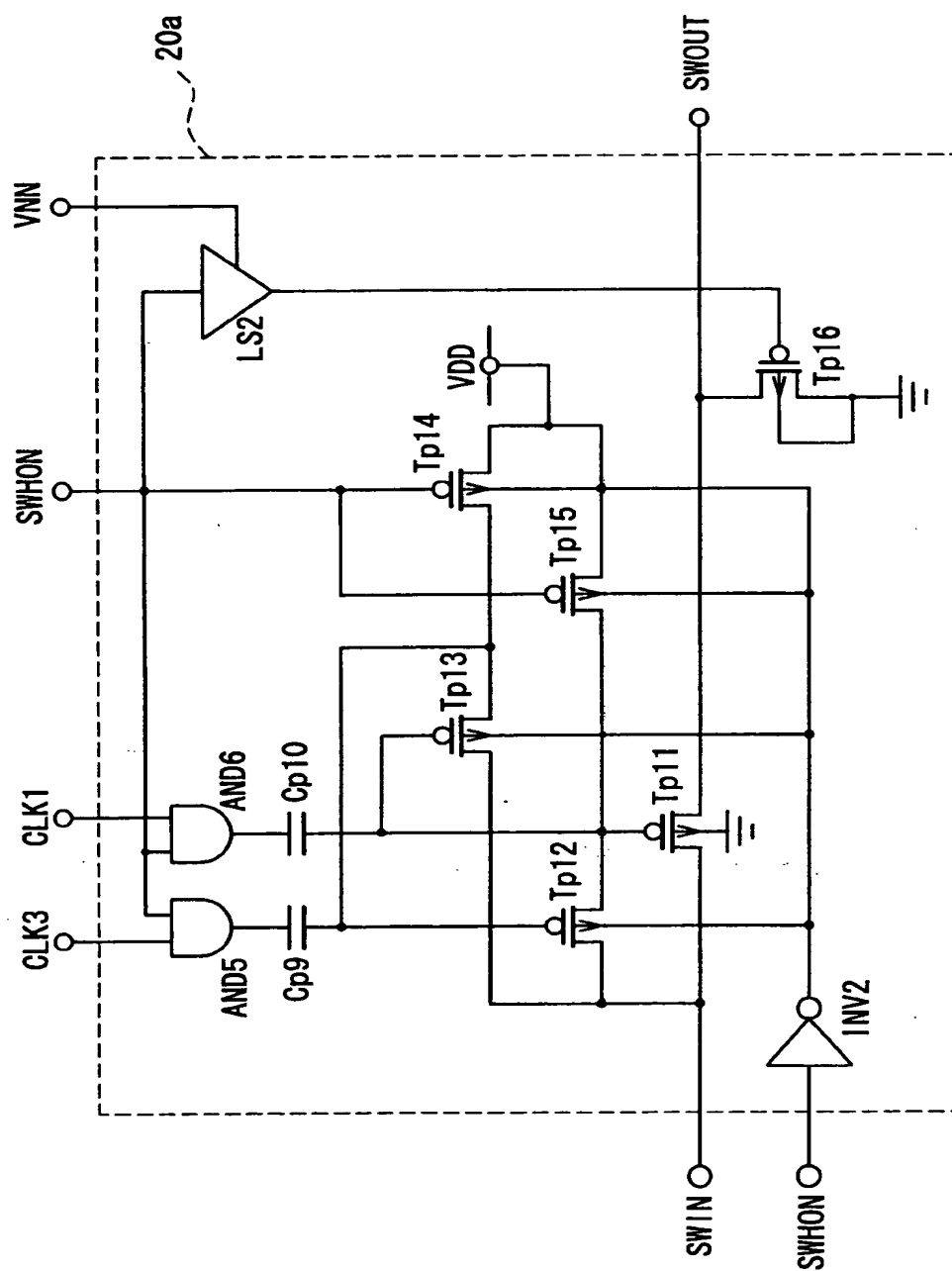
9 4 メモリ

【書類名】 図面

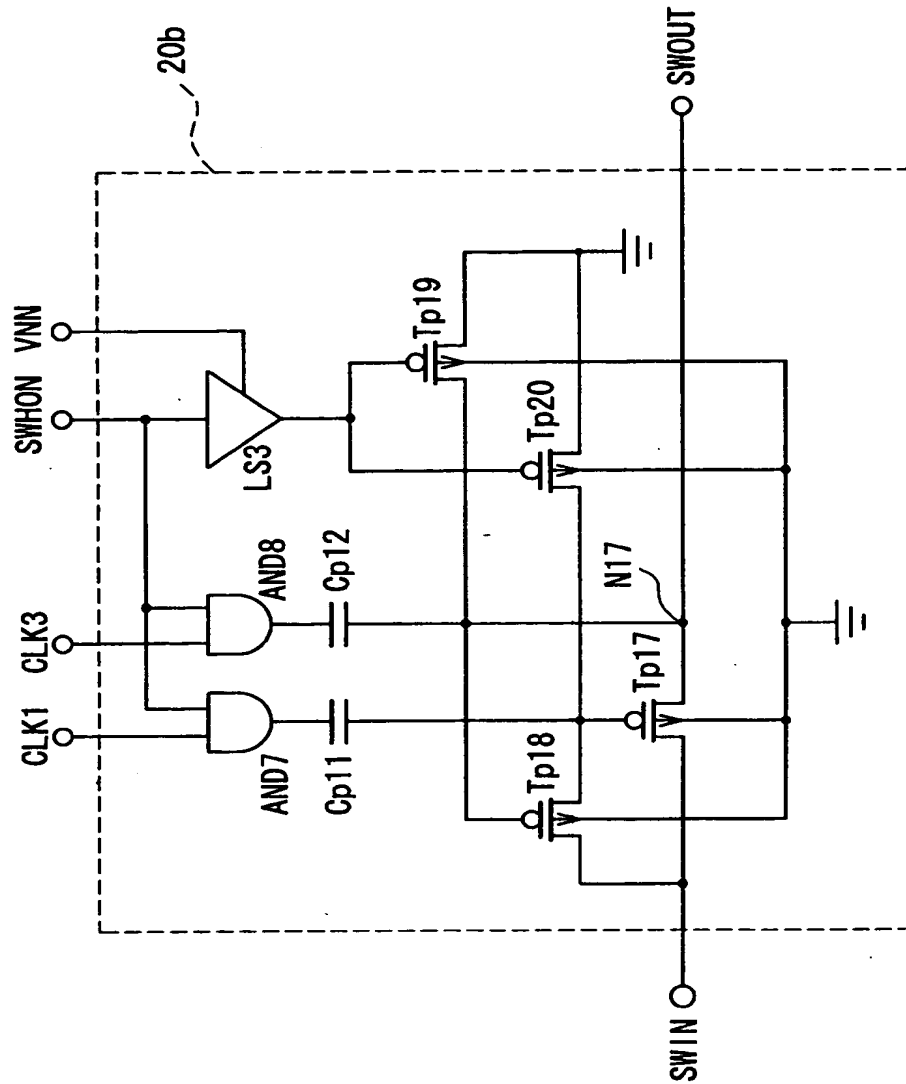
【図 1】



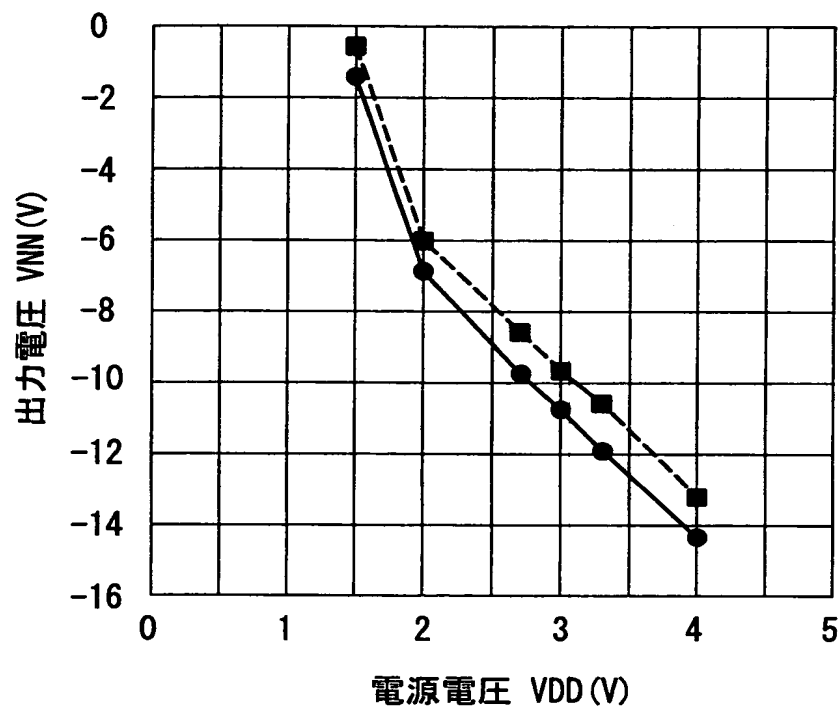
【図 2】



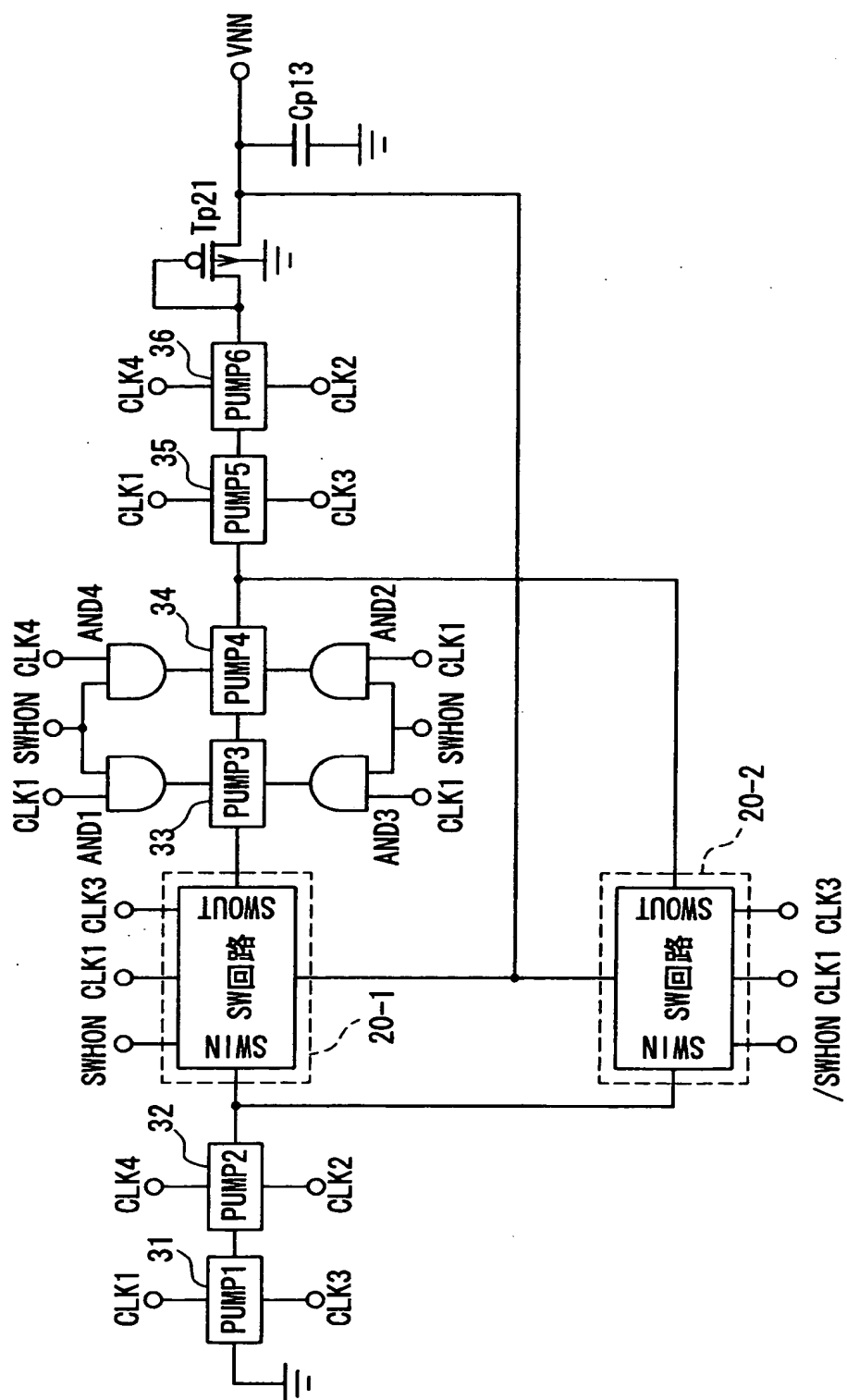
【図 3】



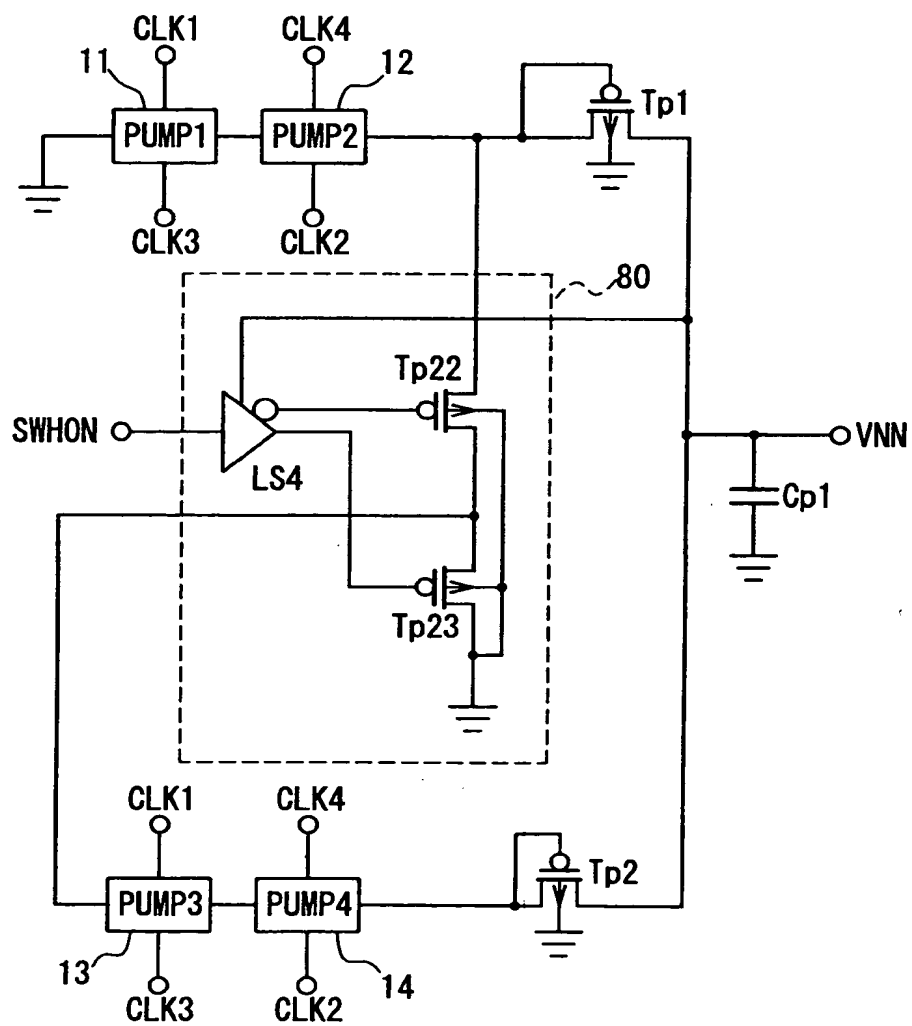
【図 4】



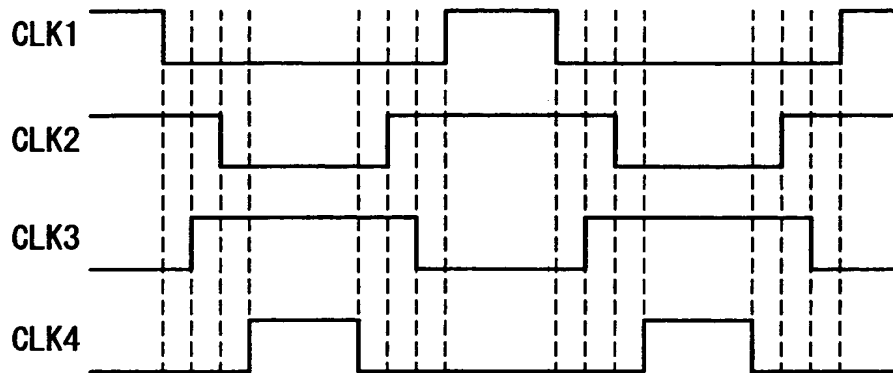
【図 5】



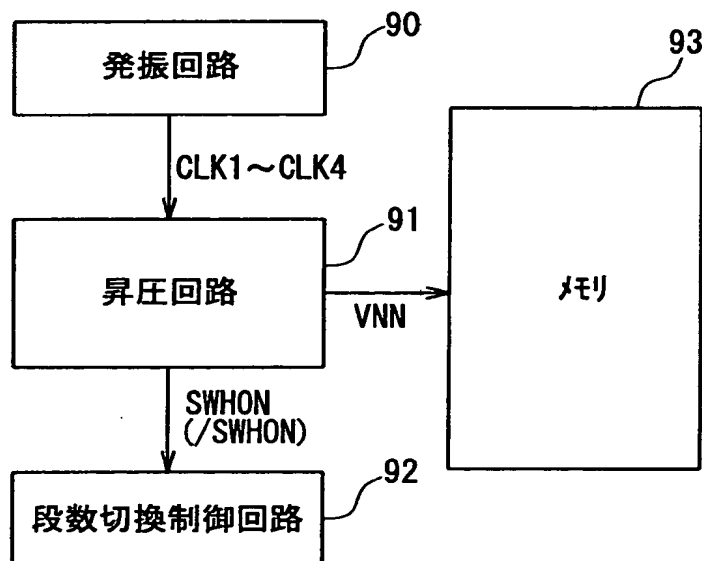
【図 6】



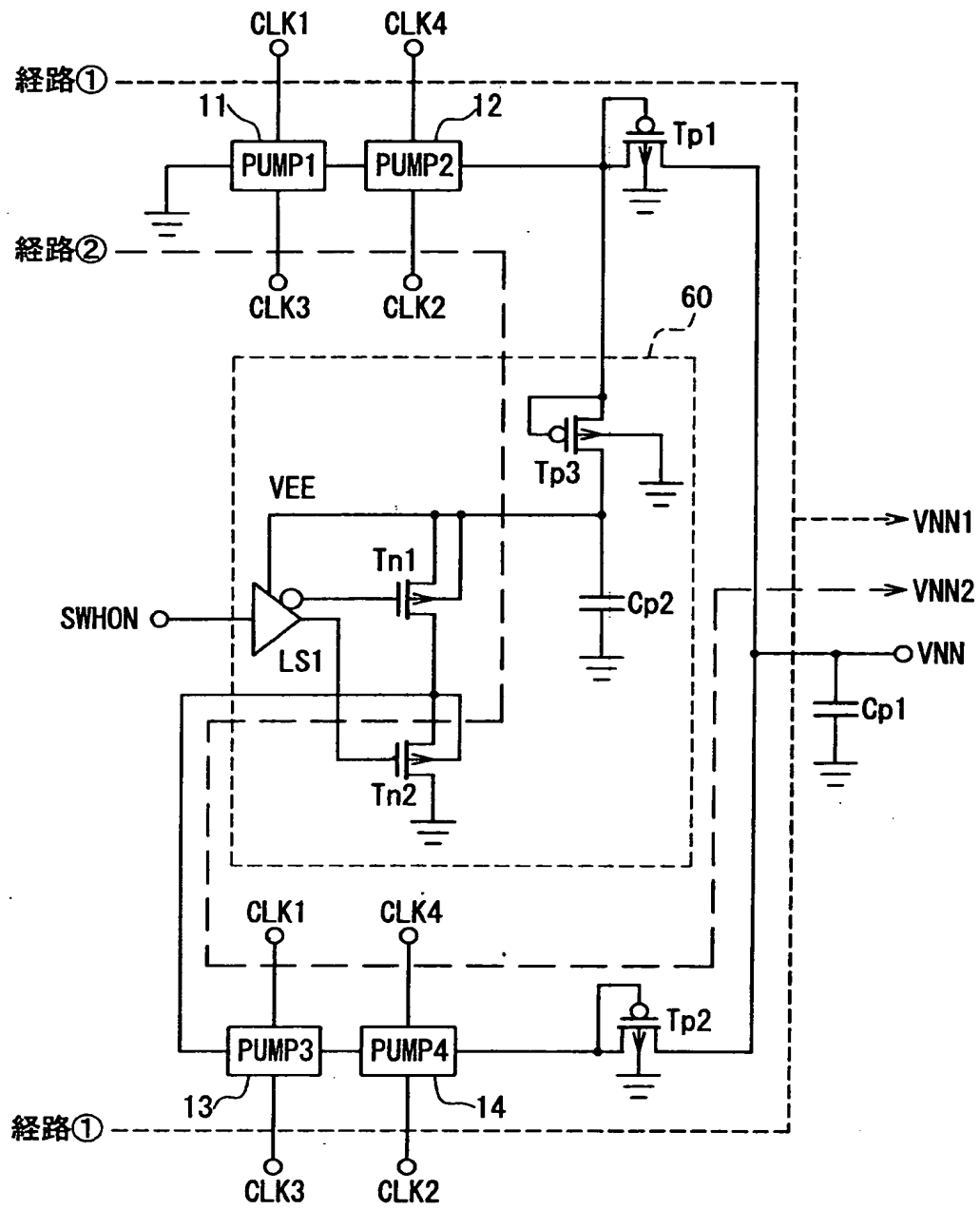
【図 7】



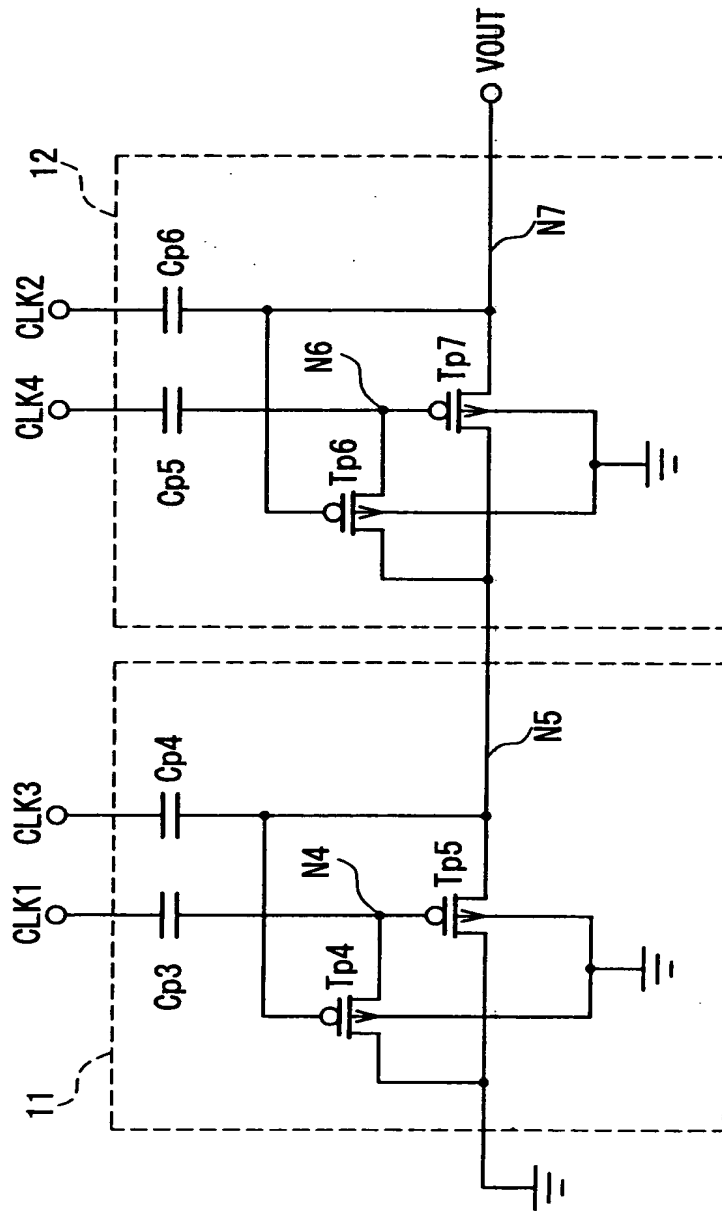
【図 8】



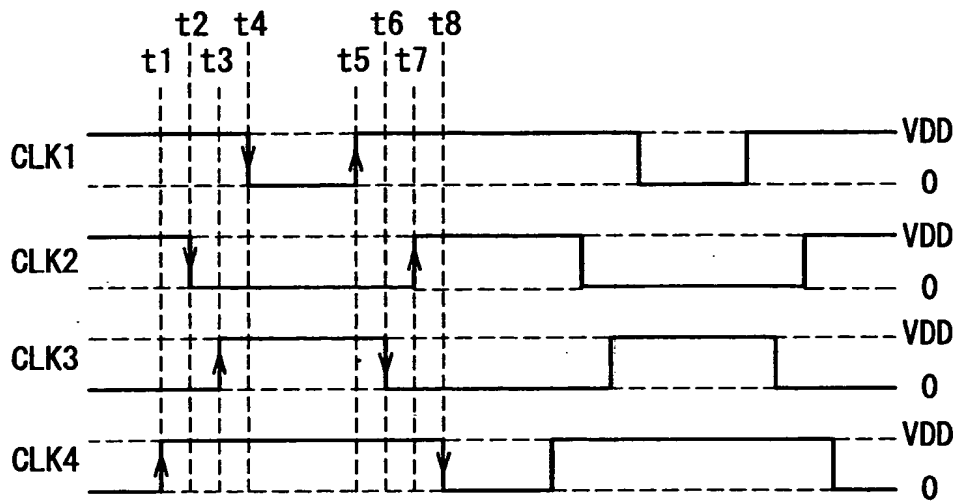
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 チップ面積の増大なく昇圧効率を向上させ、電圧レベルおよび電流能力が異なる所望の昇圧電圧までの到達時間を短縮した昇圧回路を提供する。

【解決手段】 チャージポンプ回路 1 2 の出力端子とチャージポンプ回路 1 3 の入力端子との間を接続状態または非接続状態に切り換える段数切換回路 2 0 は、段数切換制御信号（S W H O N）が電源電圧 V D D レベルにある場合に、2 段チャージポンプ回路に供給される 4 相クロック信号（C L K 1 ～C L K 4）のうち、チャージポンプ回路 1 1 に供給されるクロック信号（C L K 1、C L K 3）を有効にし、チャージポンプ回路のポンピングに同期し、かつ、前段のチャージポンプ回路 1 2 の昇圧電位よりも高い電位で内部のスイッチ用トランジスタをオンすることで、2 段のチャージポンプ回路 1 1、1 2 と 2 段のチャージポンプ回路 1 3、1 4 とを直列に接続する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社